

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199601

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H01L 21/82
H01L 27/04
H01L 21/822

(21)Application number : 08-009396

(71)Applicant : TOSHIBA CORP
TOSHIBA INF SYST JAPAN CORP

(22)Date of filing : 23.01.1996

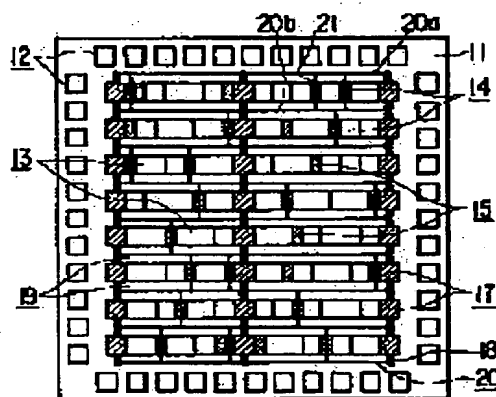
(72)Inventor : YASHIRO HIROFUMI
NOMOTO YASUHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure safety of operation of a semiconductor integrated circuit by retrieving a non-used region in a region of one cell array, an empty wiring track of a logical cell upper layer, and an empty region where no circuit device is formed, forming a power supply line and a ground line on the foregoing regions, and reinforcing power supply.

SOLUTION: Before compaction upon design device formation is performed to form a circuit, to which signal wirings are formed and a wiring for supplying power supply is formed. Thereafter, a non-used through-cell 14 contained in one cell and a space region 19 between empty wiring track cell arrays are retrieved. A metal wiring 18 is connected in the space region 19 in parallel to the cell array. Further, the non-used through-cell 14 is electrically made conductive between a power supply reinforcing wiring 20a and a power supply reinforcing wiring 20b both being parallel to supply and reinforce power supply to a logical cell 13. Hereby, operation of a semiconductor integrated circuit is stabilized and hence the life of a semiconductor integrated circuit device is increased.



LEGAL STATUS

[Date of request for examination]

27.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199601

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.⁶

H 0 1 L 21/82
27/04
21/822

識別記号

庁内整理番号

F I

H 0 1 L 21/82

27/04

技術表示箇所

C

B

D

審査請求 未請求 請求項の数2 O L (全4頁)

(21) 出願番号 特願平8-9396

(22) 出願日 平成8年(1996)1月23日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 391016358

東芝情報システム株式会社

神奈川県川崎市川崎区日進町7番地1

(72) 発明者 矢代 廣文

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 野本 泰弘

東京都渋谷区千駄ヶ谷3丁目50番11号 明星ビル 東芝情報システム株式会社内

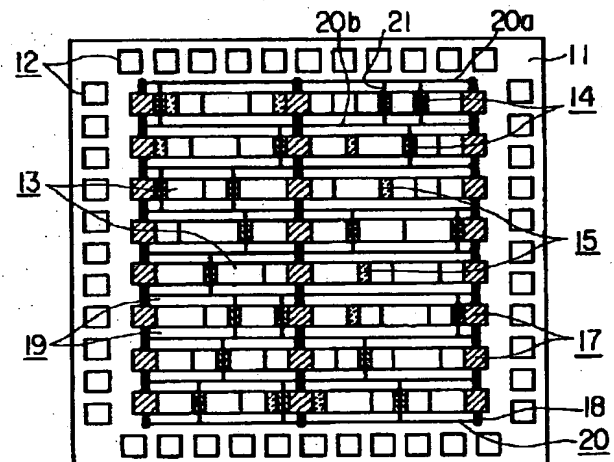
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 セル列内で局所的に高周波数動作する箇所（素子）や、セルの出力に接続される負荷容量に対処できず、また未使用スルーセル等の有効利用されない領域があり、配線データに粗密が生じ、プロセス歩留まり低下を招く。

【解決手段】 1セル列に含まれる未使用セル14及び論理セル13上の空いた空き配線トラックやセル列16間のスペース領域19を検索し、それらの領域にメタル配線を形成し、電源の補強を必要とする論理セル13に電源を補強供給する。



【特許請求の範囲】

【請求項1】 CPUやメモリを含む少なくとも1つ以上の既設計モジュールと、複数の論理ゲートセルが連設され、任意の単位長になるようにスルー領域を挿入したセル列を複数並べた形式に配置された設計モジュールと、

前記設計モジュールの各モジュールを制御するランダムゲートモジュールと、

外部との信号の入出力を行うI/Oモジュールと、

前記設計モジュールの各セル列の論理ゲートセル間を接続する任意の幅のメタル配線からなる信号線と、該論理ゲートセルに電源を供給するためのセル及びメタル配線からなる電源供給用配線と、を有する半導体集積回路において、

前記半導体集積回路の構成における、前記セル列の領域内の未使用な領域及び論理セル上層の空き配線トラック及び回路素子が形成されない空き領域に形成される、任意幅のメタル配線からなり、前記電源供給用配線から前記各モジュール内の任意の論理ゲートセルに個々に電源供給を補強する電源線及び接地線を、さらに具備することを特徴とする半導体集積回路装置。

【請求項2】 前記電源線及び接地線の一部を接続変更することにより、前記半導体集積回路装置上に配置された前記設計モジュール及び前記制御用ランダムゲートモジュールの論理回路の変更を可能とすることを特徴とする請求項1記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置のパターンレイアウトの改善に係り、特にコンピュータ等を用いたパターンレイアウトの自動設計に好適する半導体集積回路装置に関する。

【0002】

【従来の技術】従来の半導体集積回路装置において、例えば、図2に示すようなスタンダードセル方式の配置されたランダムゲートブロックの電源供給は、所定領域に配線を形成して行っていた。

【0003】この構成においては、ブロック1の周辺領域に設けられた複数のI/Oパッドセル2と、基本ゲート（例えば、2入力NAND回路）を構築する論理セル3や未使用のスルーセル4や使用済みスルーセル5を含み複数段（行）に配列されたセル列（Row）6と、前記セル列6の左右の端部及び後述する単位長の間隔で配置される複数の電源供給用セル7と、前記電源供給用セル7間を接続するための電源供給用のメタル配線8と、前記電源供給用セル7の配列間に設けられたスペース領域9とで構成される。

【0004】前記基本ゲートは標準負荷を駆動しているものと仮定し、ブロック全体の消費電流を算出する。次に1セル列当りの消費電流を求め、さらに1セル列の単

位長当りの消費電流を求める。このセル列単位長と電源供給用のメタル配線の電流許容量とを使って、電源供給用セルの挿入間隔を決定していた。この際に消費電流値は、 $i = f c v$ の式を利用して算出している。ここで、 f ；ランダムゲートブロックの平均動作周波数、 c ；標準負荷容量、 v ；動作電圧とする。

【0005】前記スルーセル4は、セル列6中に配線領域を確保するため、及び自動設計により配線領域の決定を容易に行えるように、各セル列6の長さを合わせるために挿入されている。通常、前記セル列6間のスペース領域9及び、前記スルーセル4には、配線が形成されていない。

【0006】

【発明が解決しようとする課題】しかし、前述した従来の配線構成では、以下のような問題がある。第1に、前述した手法では、電源供給用セルの挿入数決定に当り、基準となる算出された電流がランダムゲートブロック全体の平均値であり、平均値で設計すると、セル列内で局所的に高周波数動作する箇所（素子）や、セルの出力に接続される負荷容量に関して対処することが難しい。また、設計時に想定した平均周波数の設定を誤ると、電源供給用セルの過不足が発生し、チップサイズの増大や信頼性の低下等の問題が発生する。

【0007】第2に、配線領域の決定の容易化、若しくは配線確保の目的でセル列6中に挿入されるスルーセル4上の領域が何等利用されないこともあり、その場合には実質的に未使用の無駄な領域を形成することになる。

【0008】第3に、第2において形成された未使用のスルーセル4及び論理ゲート上の多層配線トラックの全ては配線により有効利用されず、何ら素子が形成されない空き領域が生じる。空き領域が偏って存在した場合には、通常配線データに粗密が生じることもあり、密となる領域の程度によって、プロセス歩留まりの低下を招く恐れがある。

【0009】そこで本発明は、素子が形成されない空き領域を配線領域に利用して電源供給を補強し、且つパターンレイアウトの自動設計に好適する半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は上記目的を達成するために、CPUやメモリを含む少なくとも1つ以上の既設計モジュールと、複数の論理ゲートセルが連設され、任意の単位長になるようにスルー領域を挿入したセル列を複数並べた形式に配置された設計モジュールと、前記設計モジュールの各モジュールを制御するランダムゲートモジュールと、外部との信号の入出力を行うI/Oモジュールと、前記設計モジュールの各セル列の論理ゲートセル間を接続する任意の幅のメタル配線からなる信号線と、該論理ゲートセルに電源を供給するためのセル及びメタル配線からなる電源供給用配線とを有する半

導体集積回路において、前記半導体集積回路の構成における、前記セル列の領域内の未使用領域及び論理セル上層の空き配線トラック及び回路素子が形成されない空き領域に形成される、任意幅のメタル配線からなり、前記電源供給用配線から前記各モジュール内の任意の論理ゲートセルに個々に電源供給を補強する電源線及び接地線をさらに有する半導体集積回路装置を提供する。

【0011】以上のような構成の半導体集積回路装置は、設計時でコンパクションの前に、回路を形成するための素子形成とそれらに信号用配線や電源を供給するための配線を形成した後、1セル列の領域内の未使用領域及び論理セル上層の空き配線トラック及び回路素子が形成されない空き領域を検索し、これらの領域上に電源供給用配線から任意の論理ゲートセルに個々に電源供給する電源線及び接地線を形成し、電源供給を補強する。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。図1には、本発明による実施形態の半導体集積回路装置の設計時の構成例として、図2で示したスタンダードセル方式の構成例に本発明の実施形態を適用した例を示す。

【0013】この構成を設計する場合に、CPUやメモリやコンピュータペリフェラル等の既設計モジュールと、複数の論理ゲートセルをセル列を複数並べた形式に配置された設計モジュールとによりレイアウトされている。

【0014】前記設計モジュールは、後述するように自動設計を容易にするために、セル列の長さを合わせるようにスルー領域を挿入して任意長（単位長）に揃え、それらのセル列を複数並べた形式に配置されているものである。図2に示す構成と同様に、ブロック（半導体集積回路）11の周辺領域に設けられた複数の1/Oバッファセル12と、基本ゲート（ND2）を構成する論理セル13、未使用のスルーセル14及び使用済みスルーセル15を含み複数段（行）に配列されたセル列（Row：列）16と、前記セル列16の左右の端部及び後述する単位長の間隔で配置される複数の電源供給用セル17と、前記電源供給用セル17間を接続するためにセル列16を電源供給用のメタル配線18と、前記電源供給用セル17の配列間に設けられたスペース領域（配線トラック）19とを含み、さらに本発明の特徴となる一般的に使用する信号用配線（図示せず）と同様な幅で、前記メタル配線18から前記論理セル13に電源を供給するための電源補強用配線（接地線）20とで構成される。

【0015】この電源補強用配線20の形成は、設計時でコンパクションの前に、回路を形成するための素子形成とそれらに信号用配線や電源を供給するための配線を形成した後、1セル列に含まれる未使用セル及び配線されていないスペース領域19若しくは論理ゲート上の多

層配線トラックを検索する。このスペース領域19内でセル列16と平行して、前記メタル配線18間を接続するようにメタル配線によって結線する。さらに、平行する電源補強用配線20間、例えば、電源補強用配線20aと電源補強用配線20b間で、未使用のスルーセル14を電氣的に導通させて、若しくは、該スルーセル14上を通過するスルー配線21を形成して、接続する。

【0016】この実施形態では、1セル列に含まれる未使用セル及び論理セル上の空き配線トラックを検索し、それらの電源端子をメタル配線によって結線しているが、配線の優先度は、通常の配線のほうを高くし、残りの空き領域に電源補強用の配線を形成することによって、本来の配線データへ影響しないようにしている。

【0017】以上のような構成により、本実施形態では、各セル列内の未使用スルーセルや、各配線領域（チャンネル）内の空きトラックを活用し、且つ、各セル列の論理ゲート上の空きトラックの活用を図り、追加形成したメタル配線のみで実現される。よって電源補強により、半導体集積回路の動作が安定し、高い信頼性が得られる。また、局所的な電流集中が緩和されて、半導体集積回路にかかる負荷が軽減でき、その結果、半導体集積回路装置の寿命が長くできる。

【0018】そして電源供給用セルの配置数を減らすことができ、チップコストの低減及びチップサイズの縮小化が実現される。メタル配線の疎密化の平均化ができ、歩留まりが上がる。また、配線工程後、直ちに、被覆等の平均化ができ、作業フローのTAT（turn around time）が短縮できる。さらに、基本的に本実施形態は、メタル配線工程以降で対応するため、システム変更（論理接続変更）対応を可能にする。

【0019】

【発明の効果】以上詳述したように本発明によれば、素子が形成されない空き領域を配線領域に利用して電源供給を補強し、パターンレイアウトの自動設計に好適する半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による実施形態の半導体集積回路装置としてのスタンダードセル方式の構成例を示す図である。

【図2】従来の半導体集積回路装置としてのスタンダードセル方式の構成例を示す図である。

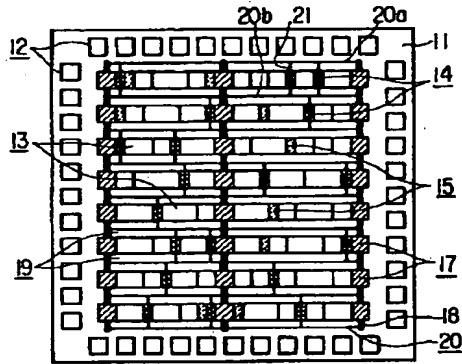
【符号の説明】

- 1, 11…ブロック（半導体集積回路）
- 2, 12…1/Oバッファセル
- 3, 13…論理セル
- 4, 14…未使用のスルーセル
- 5, 15…使用済みスルーセル
- 6, 16…セル列（Row）
- 7, 17…電源供給用セル
- 8, 18…メタル配線
- 9, 19…スペース領域（配線トラック）

20…電源補強用配線（接地線）

21…スルー配線

【図1】



【図2】

